



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1388877 A1

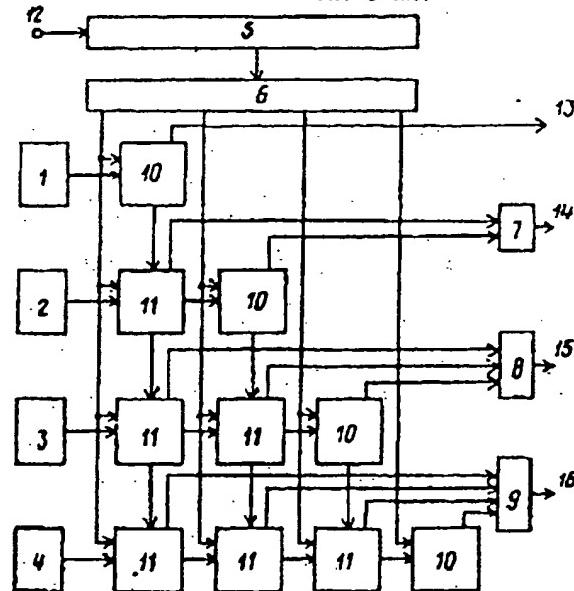
(5D 4 G 06 F 12/00)

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ Н АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 4119339/24-24
(22) 16.09.86
(46) 15.04.88. Бюл. № 14
(71) Таганрогский радиотехнический институт им. В.Д.Калмыкова
(72) Н.Г.Пархоменко, В.Ю.Лозбенев и А.Н.Купреянский
(53) 681.325 (088.8)
(56) Авторское свидетельство СССР № 999058, кл. G 06 F 13/06, 1983.
Авторское свидетельство СССР № 1024926, кл. G 06 F 13/00, 1983.
Авторское свидетельство СССР № 1198565, кл. G 11 C 8/00, 1985.
(54) УСТРОЙСТВО ДЛЯ АДРЕСАЦИИ БЛОКОВ ПАМЯТИ

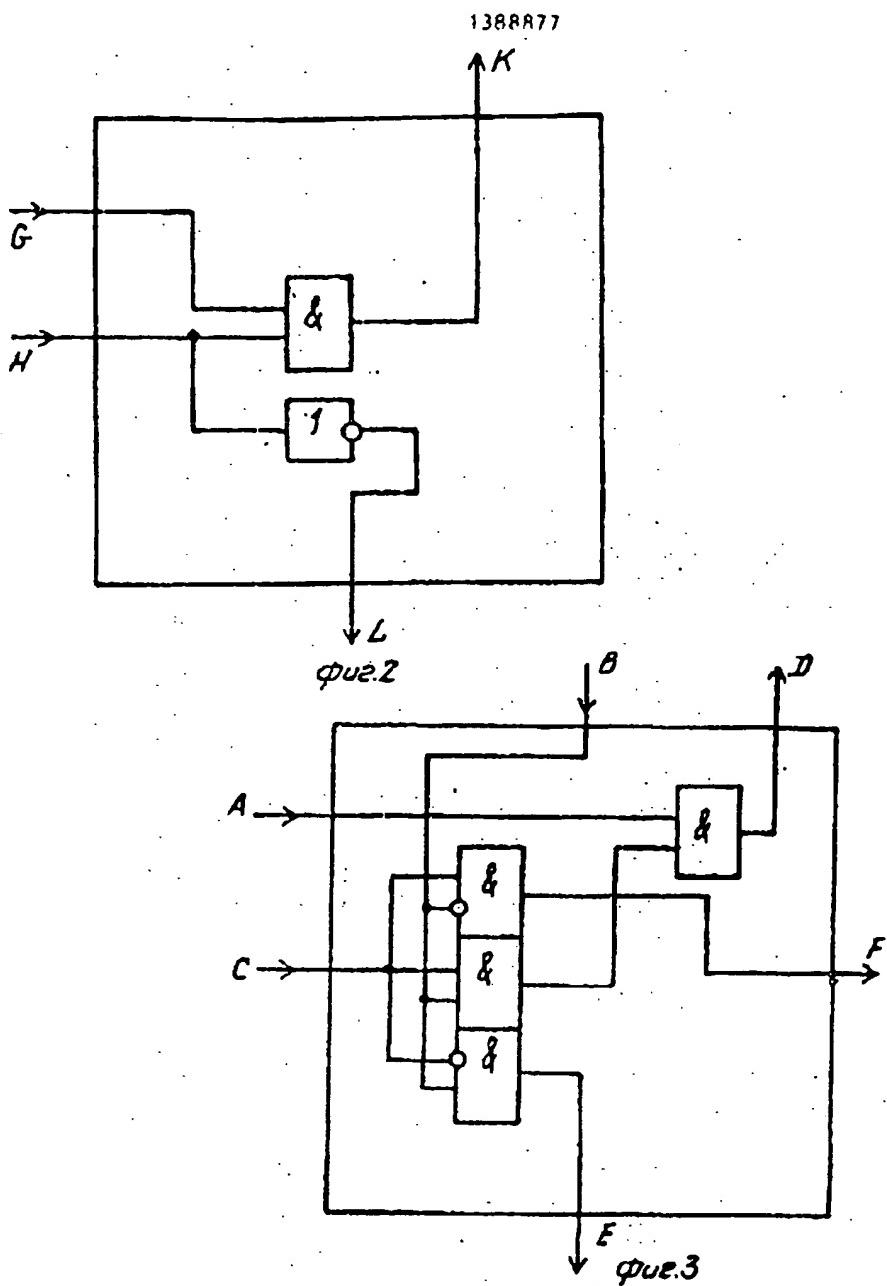
(57) Изобретение относится к вычислительной технике и может быть использовано для адресации блоков памяти в системе памяти. Целью изобретения является упрощение устройства и повышение надежности его работы за счет исключения тактируемых элементов. Устройство для адресации блоков памяти содержит переключатели 1-4, регистр 5 адреса, дешифратор 6 адреса, элементы ИЛИ 7-9, элементы коммутации 10, 11. В устройстве j-у адресу обращения будет всегда сопутствовать j-й блок памяти из числа неотключенных и незанятых блоков памяти. 3 ил.



Фиг. 1

(19) SU (11) 1388877 A1

FH 009053



Редактор Е.Копча

Составитель И.Андреев

Корректор С.Черни

Заказ 1581/50

Тираж 704

Подписанное

ВИНИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4

FH 009054

Изобретение относится к вычислительной технике и может быть использовано для адресации блоков памяти в системе памяти.

Целью изобретения является упрощение устройства и повышение надежности его работы за счет исключения лактируемых элементов.

На фиг.1 представлена функциональная схема устройства для случая четырех блоков памяти; на фиг.2 и 3 - примеры реализации первого и второго элементов коммутации.

Устройство для адресации блоков памяти содержит переключатели 1-4, регистр 5 адреса, дешифратор 6 адреса, элементы ИЛИ 7-9, первый 10 и второй 11 элементы коммутации и имеет вход 12 адреса и выходы 13-16 устройства.

Устройство работает следующим образом.

Элемент 10 коммутации (фиг.2) реализует логические функции $K = GH$, $L = H$, где G , H , K , L - сигналы на первом, втором выходах и первом, втором выходах соответственно. Элемент 11 коммутации (фиг.3) реализует логические функции $D = ABC$, $E = BC$, $F = \bar{BC}$, где A , C , B , D , F - сигналы на первом, втором, третьем входах и первом, втором, третьем выходах соответственно.

Сразу же после подачи питания начиняется сервис распределения памяти в матрице элементов 10 и 11 коммутации в соответствии с сигналами переключателей 1-4. Сигнал высокого уровня (ВУ) на выходе переключателей 1-4 соответствует состоянию "Блок включен", сигнал низкого уровня (НУ) - "Блок выключен".

Предположим, что на выходе переключателя 1 присутствует сигнал НУ (первый блок памяти выключен). Тогда в соответствии с функцией $K = GH$ элемента 10, расположенного в первой строке первого столбца, это делает невозможной коммутацию первого блока памяти, а в соответствии с функцией $L = H$ из втором выходе элемента 10 устанавливается сигнал ВУ, который поступает на второй вход элемента 11 коммутации второй строки первого столбца. Предположим, что на выходе переключателя 2 установлен сигнал ВУ (второй блок памяти включен). Тогда

на выходе второго элемента И (в этом элементе коммутации) устанавливается сигнал ВУ, который поступил на второй вход четвертого элемента И, подготавливая его к включению. Одновременно с этим в соответствии с функцией $F = \bar{BC}$ на третьем выходе элемента 11 коммутации устанавливается сигнал НУ, который делает невозможным возбуждение второго блока любым выходом дешифратора 6, кроме первого. В соответствии с функцией $F = \bar{BC}$ на втором выходе элемента 11 коммутации устанавливается сигнал НУ, который делает невозможным возбуждение первым выходом дешифратора 6 любого блока, кроме второго.

Предположим, что на выходе переключателя 3 установлен сигнал НУ. Это делает невозможным включение ни одного элемента коммутации в третьей строке. Если на выходе переключателя 4 установлен сигнал ВУ, то это вызывает включение элемента коммутации четвертой строки второго столбца аналогично описанному. Процесс переключения элементов коммутации протекает асинхронно, причем коммутация через включившиеся элементы коммутации выходов дешифратора 6 и выходов элементов 7-9 ИЛИ, подключенных к адресным схемам блоков памяти, происходит сверху вниз и слева направо.

Таким образом, если на выходе какого-либо переключателя установлен НУ, то в этой строке матрицы на первых выходах всех элементов коммутации устанавливаются сигналы НУ и, следовательно, сигнал НУ на выходе соответствующего элемента ИЛИ, что делает невозможным возбуждение отключенного блока памяти при любом адресе обращения. Если на выходе какого-либо переключателя установлен сигнал ВУ, то это вызывает включение в этой строке того элемента коммутации, который расположен в ближайшем к началу матрицы столбце, не содержащем включившихся ранее элементов коммутации. В каждой строке и каждом столбце матрицы может быть включено не более одного элемента коммутации. После времени, необходимого на распространение сигналов по цепям матрицы элементов 10 и 11, считается, что распределение памяти в соответствии с положениями переключателей

1-4 производство и блоки памяти доступны для обращения. Адрес обращения с входа 12 поступает в регистр 5 и передается на дешифратор 6. С j-го выхода дешифратора 6 сигнал ВУ (в соответствии с адресом обращения) поступает на первые входы всех элементов коммутации j-го столбца. При этом на первом выходе включившегося элемента коммутации i-й строки (т.е. этого элемента, у которого во время сеанса распределения памяти на втором входе четвертого элемента И установленся сигнал ВУ) устанавливается сигнал ВУ, который поступает на один из выходов i-го элемента ИЛИ. С выхода i-го элемента ИЛИ сигнал поступает в адресную схему i-го блока памяти, вызывая его возбуждение. Так, если в регистре 5 поступит первый адрес, то в соответствии с произошедшей коммутацией через элемент ИЛИ 7 будет возбужден второй блок памяти, если в регистре 5 поступит второй адрес, то через элемент ИЛИ 9 будет возбужден четвертый блок памяти и так далее независимо от очередности прихода адресов обращения. Если i-й блок памяти будет отключен в процессе работы, то перераспределение памяти произойдет автоматически путем переключения элементов 10 и 11 матрицы.

Таким образом, адресу обращения j всегда соответствует j-й блок памяти из числа неотключенных и незапятых блоков памяти.

Ф о р м у л а и з о б р е т е н и я

Устройство для адресации блоков памяти, содержащее группу переключателей, регистр адреса, дешифратор

адреса, группу элементов ИЛИ, причем информационный вход регистра адреса является адресным входом устройства, выход регистра адреса соединен с входом дешифратора адреса, выходы элементов ИЛИ группы являются выходами устройства, о т л и ч а ю щ и е с я тем, что, с целью упрощения устройства, в него введены две группы элементов коммутации, образующие треугольную матрицу размерности n-p, причем элементы коммутации первой группы расположены по главной диагонали матрицы, а элементы коммутации второй группы расположены под главной диагональю матрицы и образуют треугольную подматрицу элементов коммутации второй группы, i-я выход дешифратора адреса соединен с первыми выходами элементов коммутации первой и второй групп j-го столбца треугольной матрицы ($i = 1, \dots, n$), выход j-го переключателя группы соединен с вторым выходом j-го элемента коммутации ($j = 1, \dots, n$) первого столбца треугольной матрицы, первый выход элемента коммутации первой группы первого столбца матрицы является первым выходом устройства, первые выходы элементов коммутации первой и второй групп каждой строки матрицы, кроме первой, соединены с выходами соответствующих элементов ИЛИ группы, второй выход каждого элемента коммутации i-го столбца k-й строки матрицы ($k = 1, \dots, n-1$) соединен с третьим выходом элемента коммутации i-го столбца ($k+1$)-й строки матрицы, третий выход каждого из элементов коммутации второй группы i-го столбца j-й строки матрицы соединен с вторым выходом элемента коммутации ($i+1$)-го столбца j-й строки матрицы.

Annex 15

SU No 1388877, published April 15, 1988

Specification of Invention to Certificate of Authorship 1388877 A1

[21] 4119339/24-24	[19] SU [11] 1388877 A1
[22] Filed: Sep. 16, 1976	[51] Int. Cl. G 06 F 12/00
[46] Apr. 15, 1988, Bulletin No 14	
[71] Applicant: V.D. Kalmykov Radio-Engineering Institute, Taganrog city	[53] UDC 681.325 (088.8)
[72] Inventors: N.G. Parkhomenko, V.Yu. Lozbenev and A.P. Kuprovskij	

[54] A DEVICE FOR ADDRESSING MEMORY BLOCKS

[57] The invention relates to the computer engineering and may be used for addressing memory blocks in a memory system. An object of the invention is a simplification of the device and enhance in its operational reliability by removing the clocked components. The device for addressing memory blocks comprises switches 1 – 4, address register 5, address decoder 6, OR components 7 – 9, switching components 10, 11. In the device the j-th memory block, being a part of not off, and not used memory blocks, will always correspond to the j-th access address.

FH 009057